

COC

Mate 2003

*9th Symposium on
“Microjoining
and
Assembly Technology
in Electronics”*

February 6 - 7 2003

Yokohama

**Sponsored by
Microjoining Commission (JWS)**

20 μ m ピッチ微細 bumps 超音波接合技術 20 μ m-pitch Micro-bump Bonding Utilizing Ultrasonic Flip-Chip Technology

秋山雪治, 梶原良一, 谷田一真, 梅本光雄, 富田至洋, 田子雅基, 高橋健司
技術研究組合 超先端電子技術開発機構(ASET) 電子 SI 技術研究部 筑波研究センター

Yukiharu Akiyama, Ryoichi Kajiwara, Kazumasa Tanida, Mitsuo Umemoto, Yoshihiro Tomita, Masamoto Tago,
and Kenji Takahashi

Association of Super-Advanced Electronics Technologies (ASET)

Electronic System Integration Technology Research Department, Tsukuba Research Center

Abstract

As the advanced bonding technology at low temperature, the ultrasonic flip-chip bonding (UFB) was evaluated on the chip on chip structure utilizing the Au bumps in 20 μ m. The bonding temperature was kept at 150 $^{\circ}$ C and the ultrasonic amplitude of the bonding tool was set at 3 μ m as the bonding conditions. The bonding accuracy was measured as the acceptable positional tolerance within $\pm 2\mu$ m, and the electrical test was performed and no defects were found. Then, the measurement of the ultrasonic amplitude during the bonding process was executed aiming to elucidate the ultrasonic bonding mechanism. As a result, the relative amplitude between the chip and the interposer was 0.1-0.2 μ m. It was shown that the ultrasonic tool amplitude did not influence the bonding accuracy.

Key words: 20 μ m pitch, Flip-chip, Micro bump, Interconnection, Ultrasonic, Bonding, Amplitude, Laser vibrometer

1. 緒言

電子機器の高速化・小型化に対するLSI実装のボトルネックを解消する技術として、各種の System in Package (SIP) 構造が提案されている。ASET では次世代の SIP 構造として、50 μ m 厚の極薄チップを用いた、20 μ m ピッチの貫通電極を有する多段積層構造 (Fig.1) を提唱し、これまでにこの有効性を明らかにしてきた^{[1], [2]}。

このなかで、極薄の Si デバイスをダメージ無く高精度にフリップチップ接続するためには、低温かつ低ストレスの接合プロセスが必要であり、これを実現する手段の一つとして、超音波接合プロセスの有効性を示してきた^{[3]~[7]}。

これまで、超音波接合プロセスに関しては、接合界面における原子レベルでの接合状態の観察に基づいて、この金属学的な接合メカニズムの解明がなされてきた^{[5]~[8]}。

但し、超音波接合プロセスにおいて、ツールの超音波振動が接合界面の振動にどのように伝達しているのかなど、接合中の動的な挙動に関しては、これまで十分な検討がなされていない。

これに関して、檜作ら^{[9]~[11]}は、半導体ひずみゲージを用いて、超音波接合プロセスにおける、接合中のチップと基板の接合表面に生ずるひずみを実時間計測することで、接合界面の動的挙動を明らかにした。この方法は、測定に特殊構造のチップと基板を用意する必要があることから、実デバイスへの応用など汎用の計測手段としての利用は容易ではない。

また、超音波接合プロセスにおける接合現象は、接合界面の相対振動に基づいて促進されることから、この接合界面の

相対振動を知ることが重要であるが、この点に関しては、これまで詳細な検討はなされていない。

本報告では、まず、Chip on Chip (COC) 構造での超音波接合プロセスによる接合性評価を行い、この実装精度、接合性、及び接合界面の詳細分析などを実施して、微細 bumps COC 構造における超音波接合プロセスの有効性を検証した。

次に、超音波接合プロセスの動的な接合メカニズムの解明を目的として、COC 構造の等価サンプルを用い、2台のレーザードップラ振動計によって、接合中のチップとインタポーザそれぞれの振動波形を実時間同時計測した。更に測定波形データに対して波形処理を施すことで、接合中のチップとインタポーザの相対振幅を高精度に検出した。

これから、超音波接合プロセスにおける超音波振動伝達のメカニズムを明らかにすると共に、ツールの超音波振動がボンディング精度へ及ぼす影響など、有用な知見を得た。

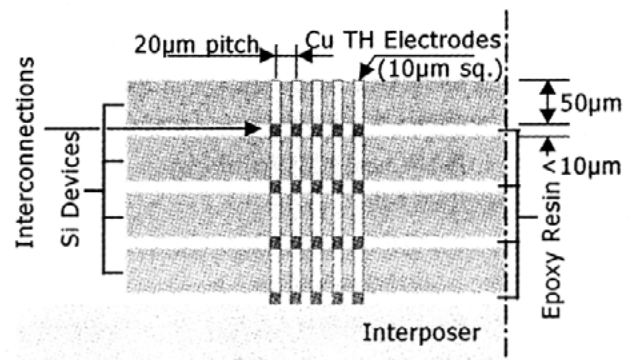


Fig. 1 Chip stacking 3D LSI structure.

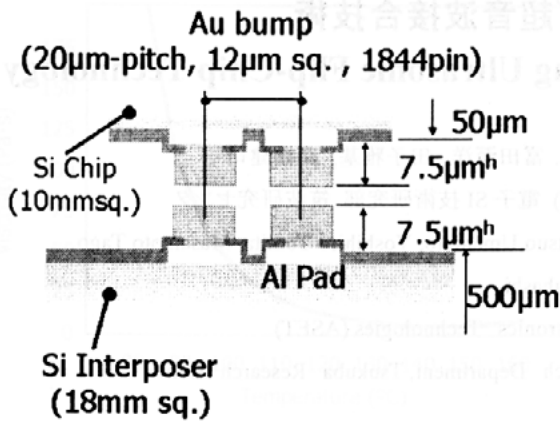


Fig. 2 COC structure for evaluation on UFB.

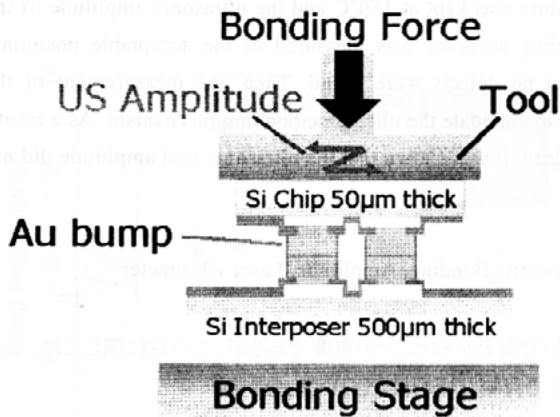


Fig. 3 Schematic view of UFB process.

2. 超音波フリップチップ接合評価

2.1 接合評価サンプル

超音波接合プロセスの評価に用いた、COC 構造の評価サンプル構造を Fig.2 に示す。Al 配線を形成した Si インタポーザ (18 mm 角, 500µm 厚) 上に電解 Au めっきバンプ (20µm ピッチ) を形成した。そこに Al 配線を形成した Si チップ (10 mm 角, 50µm 厚) をフリップチップ実装した。Si チップにはインタポーザと同様に Au バンプ (20µm ピッチ) を形成した。接合前に Ar スパッタにて、Au バンプ表面を 30 nm エッチングすることで清浄化処理を行った。

Fig.3 に超音波接合プロセスの概要を示す。接合荷重は 10N、20N、27N の3水準、超音波振幅は 3µm、4.5µm、6µm の3水準とし、接合温度はツール、ステージとも 150°C とした。ツールの発振周波数は 50kHz、発振時間は 300ms である。また、ワークの固定は真空吸着とし、ツールは接合面にテフロン樹脂コート(厚さ約 5µm)を施した仕様とした。

2.2 接合評価方法

接合後、IR 顕微鏡による実装精度測定、及びデジタイゼーション回路による接続抵抗測定を行った。

次にアンダーフィル樹脂封入を行い、オープンにてキュアを行った (150°C、30 min)。キュア後、チップ裏面より Si を選択的にエッチングし、酸化膜越しに Al パッド下地の観察を行った。更に、FIB(Focused Ion Beam)加工による接合断面の

SEM 観察を行うことで、バンプ下へのダメージの有無、バンプの変形状態、及び接合界面での接合状態を観察した。

2.3 接合評価結果

アンダーフィル樹脂封入・キュア後、チップ裏面より Si を選択的にエッチングし酸化膜越しに Al パッドの観察を行った結果を Fig.4 に示す。図は結果の一例として、接合荷重 20N、ツール振幅 3µm での接合条件の場合を示すが、他の条件においても、Al パッド下地ダメージの痕跡は見られなかった。

次に、同上サンプルでの接続抵抗測定結果を Fig.5 に示す。図に示すように全 pin 導通を確認した。なお、接続抵抗が若干高くなっている箇所は1チェーン内の結線数が異なるためであり、バンプ当たりの接続抵抗はほぼ一定である。

更に、同上サンプルの実装精度を調べた結果を Fig.6 に示す。実装精度の測定は、チップ及びインタポーザ上に形成された対角位置のバーニアパターン(A、B)を、IR 顕微鏡で読みとることで行った。これから、実装精度は装置の位置合わせ精度に相当する、 $\pm 2\mu\text{m}$ 程度であることを確認した。

最後に、今回適用した全接合条件での、接合断面の SEM 観察を行った結果を Fig.7 に示す。これから、各接合条件において Al パッドおよび UBM(Under Bump Metallurgy)層にはダメージは観察されなかった。なお、荷重が大きくツール振幅が大きい程バンプ変形量が大きくなる傾向にあるが、全接合条件において許容範囲のバンプ変形量であること、及び接合界面の状態からポイドのない良好な接合状態が確認された。

2.4 接合評価結果の検討

以上の結果から、微細バンプ (12µm 角, 7.5µm 高) を有する COC 構造において、超音波接合プロセスを適用することで、低温・低ストレスかつ高精度の実装を適正に行えることが示された。

またこの中で、上記微細バンプの大きさに比較して、かなり大きなツール振幅 (3µm~6µm) が印加されているにも拘わらず、適正な接合が行えていること、並びに、実装位置精度に関しても、装置の位置合わせ精度 ($\pm 2\mu\text{m}$ 程度) の範囲に納まっていることが明らかになった。

このことから、接合中のチップとインタポーザの相対振幅は、ツールの振幅に対してかなり減衰していることが想定される。

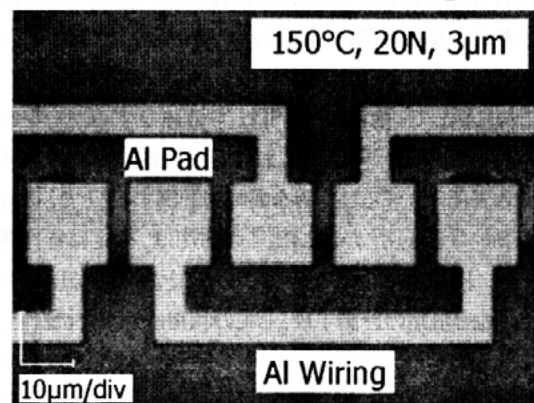


Fig. 4 Photograph of backside of Al Pad after Si etching.

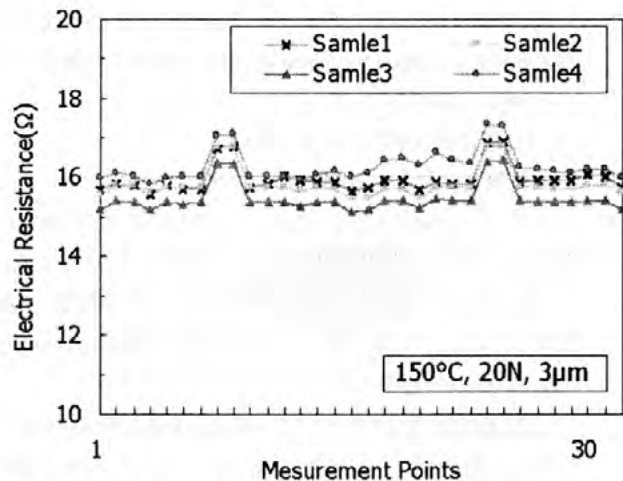


Fig. 5 Results of measurement on electrical resistance.

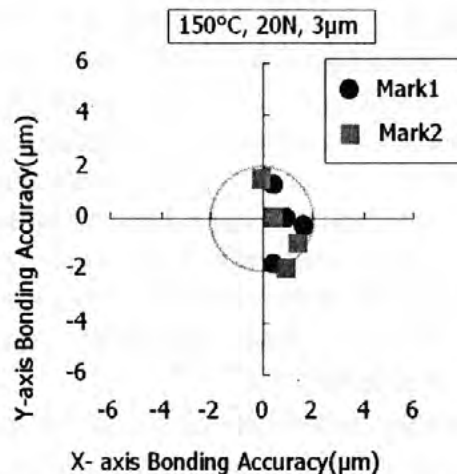


Fig. 6 Results of measurement on positional tolerance.

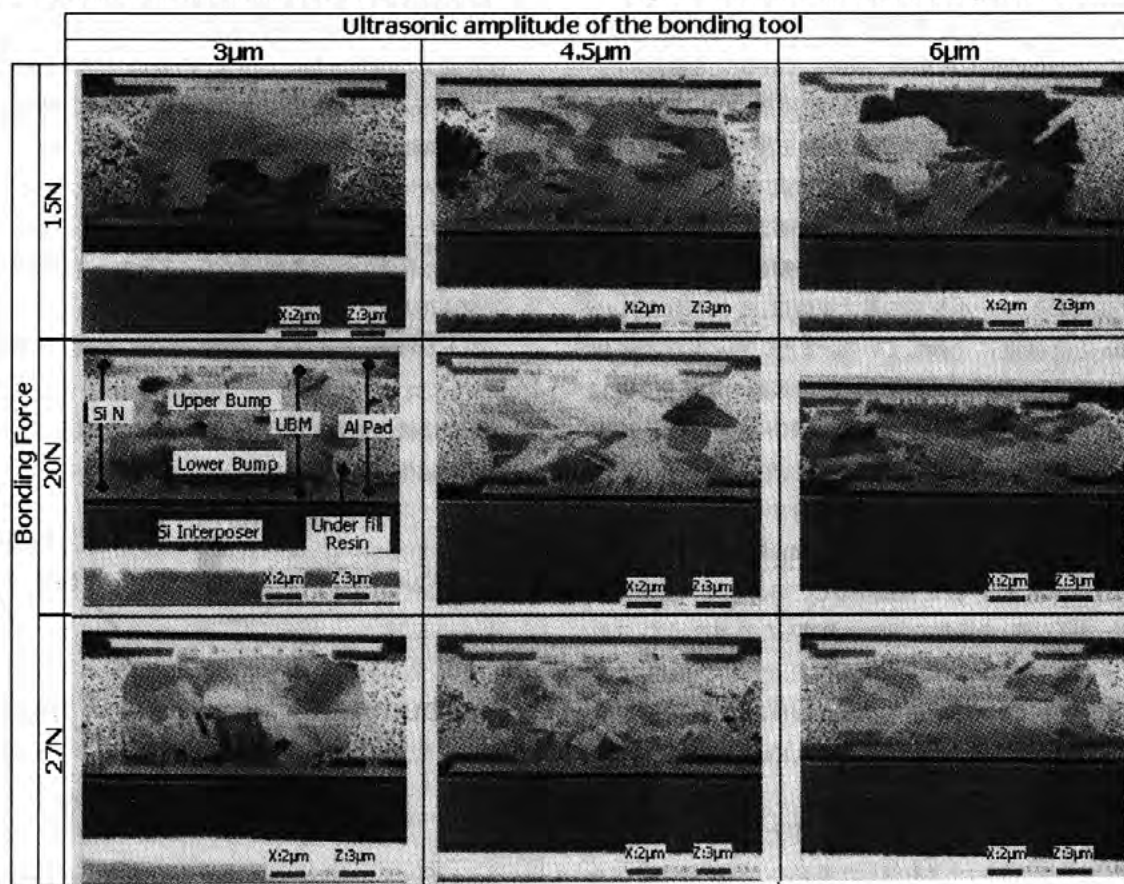


Fig. 7 Micrographs of micro joint analyzed by SEM.

3. 超音波接合プロセスでの振動測定評価

3.1 超音波振動測定方法

本研究では、COC 構造における超音波接合プロセスでの接合メカニズムを解明することを目的として、接合界面の相対振幅を非接触で検出する手法を検討した。このために用いた超音波振動評価方法の概念図を Fig.8 に示す。

本評価では、接合性評価の際に使用した、電解 Au めっきバンプ (12μm 角、7.5μm 高) 付きの 50μm 厚チップの替わりに、全面に 0.5μm 厚の Au をスパッタ蒸着した 500μm 厚のチップを用いた。厚いチップを用いた理由は、振動測定用レーザー光の焦点合わせを容易に行うためであり、チップ全面に Au を蒸

着した理由は、実験効率の観点から手動でチップ位置合わせを行うためである。なお、その他のインタポーザ構造、ツール表面処理、及びワークの固定方法などに関しては、接合性評価の際と同一仕様及び方法とした。

実装装置として、アルテクス社製マニュアル超音波フリップチップボンダ (SH50M)、振動計測装置として、Polytec 社製レーザドップラ振動計 (OFV-2600/502-1、OFV-3000/502) を 2 台、波形記憶装置として、Tektronix 社製デジタルオシロスコープ (TDS744A) を用いた (Fig.9)。測定では、チップ左側面中央部とインタポーザ右側面中央部に対し、測定用レーザーを照射することにより、接合プロセス中の両者の振動を同時に計測する

方法を採用した。計測に際しては、周波数 50kHz、発振時間 300ms の超音波振動を的確に捉えるために、サンプリング周期 $2\mu\text{s}$ (1周期 10 ポイント) にて、2チャンネル同時に波形を記録 (500ms 間) した。1 回での接合における獲得波形のデータ量は 50 万ポイントに達する。これに、汎用の波形解析ソフト (エバ・グリーン社製「活図」Ver.8.1) を用いて、振動速度から振幅値への換算、包絡線の検出、及びノイズ処理などの波形処理を施すことで、接合プロセス中のチップとインタポーザの各振幅、及び両者の相対振幅の挙動を高精度に検出した。

3. 2 超音波振動測定結果

まず、装置の基本特性を調べるために、ロードセルの荷重出力とツールの超音波振動を同時計測した (Fig.10)。ここでは、荷重設定 100N、ツール設定振幅 $3\mu\text{m}$ 、及び発振時間 300ms とした。これから、本装置の設定では設定荷重に達した後に、ツールの超音波振動が開始していることを確認した。

次に、ツール設定振幅 $3\mu\text{m}$ 、設定荷重 30N、設定温度 150°C での、ツールの左右両端の振動を測定した。Fig.11(a) に振動波形の生信号 (振幅変換後)、(b) にこの時間軸拡大波形、(c) に波形処理後の両振幅の包絡線波形、及び (d) に相対振幅波形を示す。これから、ツールの振動波形は 50kHz の正弦波をしており、ツール左右の最大振幅は、それぞれ $3.31\mu\text{m}$ 、 $3.29\mu\text{m}$ と高精度に一致している。また、ツール設定振幅 $2.2\mu\text{m}$ ~ $6\mu\text{m}$ の範囲での設定振幅と実振幅の関係を Fig.12 に示す。以上から、ツール左右の振幅測定結果は良く一致しており、本測定方式の妥当性が検証された。

そこで、上記測定手段を用いて、接合中のチップとインタポーザの振動を測定した。Fig.13(a) ~ (d) はツール設定振幅 $3\mu\text{m}$ 、設定荷重 30N、設定温度 150°C での、チップ (左側) とインタポーザ (右側) の振動を同時に測定した結果を示す。これから、チップ及びインタポーザの振幅は、ツール振幅 ($3.3\mu\text{m}$) に対して、それぞれ $0.56\mu\text{m}$ 、 $0.52\mu\text{m}$ 程度と 20% 以下に減衰していること、及び両者の相対振幅は $0.10\mu\text{m}$ 程度とかなり小さいことが分かった。

なお、上記プロセスにて接合が完了したサンプルに対して、再度同様の接合プロセスを行った場合の、振動測定結果を Fig.14(a) ~ (b) に示す。これから、接合完了後のサンプルでも、チップとインタポーザの相対振幅は初回接合時の 70% ($0.07\mu\text{m}$) 程度が検出された。

また、本測定方法の有効性を再確認することを目的として、上記同一サンプルでの 3 回目の接合を行い、チップの左右両端での振動を測定した結果を Fig.15(a) ~ (b) に示す。これから、本来ゼロであるべきチップ左右の相対振幅は $0.016\mu\text{m}$ と十分に小さく、本測定方法の有効性が改めて検証された。

更に、サンプル毎の振幅値のバラツキを調べることを目的として、上記同一条件にて複数 (5 ヶ) サンプルでの振動測定を行った結果を Fig.16 に示す。これから、チップ振幅は $0.31\mu\text{m}$ ~ $0.55\mu\text{m}$ 、インタポーザ振幅は $0.22\mu\text{m}$ ~ $0.52\mu\text{m}$ 、初

回接合時相対振幅は $0.09\mu\text{m}$ ~ $0.22\mu\text{m}$ 、及び 2 回目接合時相対振幅は、 $0.06\mu\text{m}$ ~ $0.16\mu\text{m}$ と、サンプル毎に比較的バラツキを持った結果となった。

3. 3 超音波振動測定結果の検討

上記測定結果より、超音波接合プロセスにおいて、ツールに与えられた振幅 ($3.3\mu\text{m}$) に対して、実際のチップの振幅は $0.31\mu\text{m}$ ~ $0.55\mu\text{m}$ (振動伝達率 9% ~ 18%) と、小さいことが分かった。また、この際インタポーザもチップとほぼ同期して振動するために、チップとインタポーザの相対振幅は $0.09\mu\text{m}$ ~ $0.22\mu\text{m}$ (振動伝達率 2.7% ~ 6.7%) と、更に小さい。

また、接合が完了したサンプルに対して再度接合プロセスを行った場合でも、なおチップとインタポーザの相対振幅 $0.06\mu\text{m}$ ~ $0.16\mu\text{m}$ (振動伝達率 1.8% ~ 4.8%) が検出された。これは、Au バンプ部の弾塑性変形により生じたものであり、接合界面での相対振動によるものではないと考えられる。

これから、本研究で用いた微細バンプ COC 構造の超音波接合プロセスでは、ツールに与えられた振動に対して 82% ~ 91% はツールとチップ間の滑りにより失われ、更に、インタポーザもチップにほぼ同期して振動するために、接合に寄与すべき接合界面の相対振幅は $0.1\mu\text{m}$ ~ $0.2\mu\text{m}$ 程度とかなり小さくなるものと考えられる。

以上から、超音波接合評価において、微細バンプの大きさに対して比較的大きなツール振動を与えているにも拘わらず、適正な接続性能及び実装精度が得られた理由は、上記振動測定の結果から説明できる。

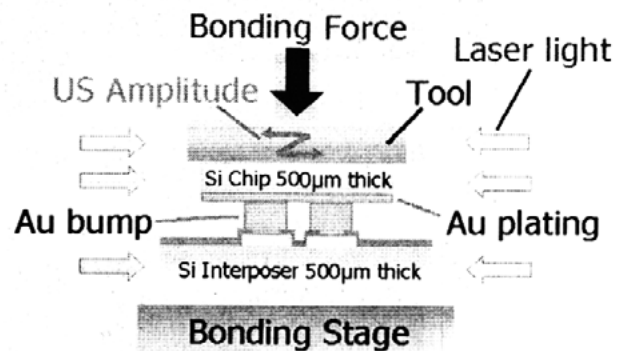


Fig. 8 Ultrasonic vibration measuring process.

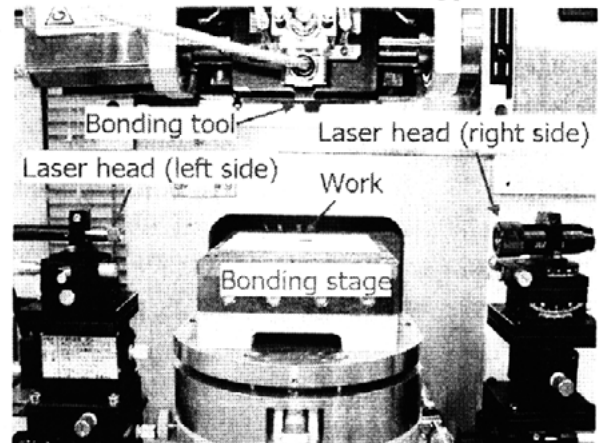


Fig. 9 Ultrasonic vibration measuring System.

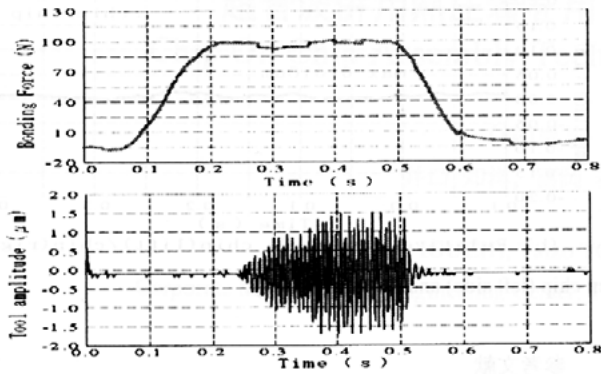


Fig. 10 UFB profile of bonding force and amplitude.

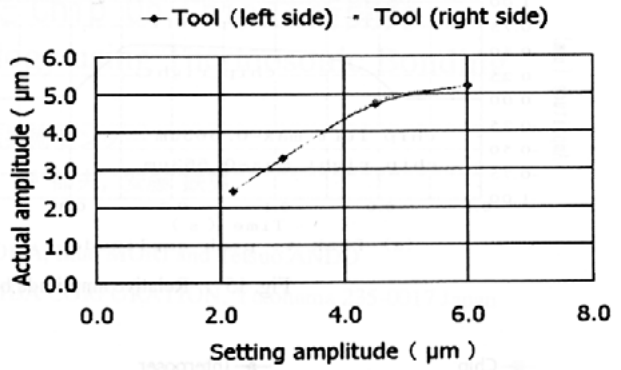


Fig. 12 Characteristic of Bonding tool amplitude.

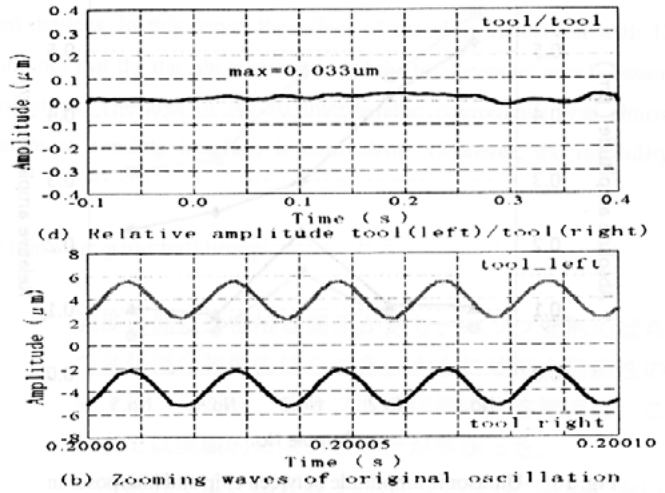
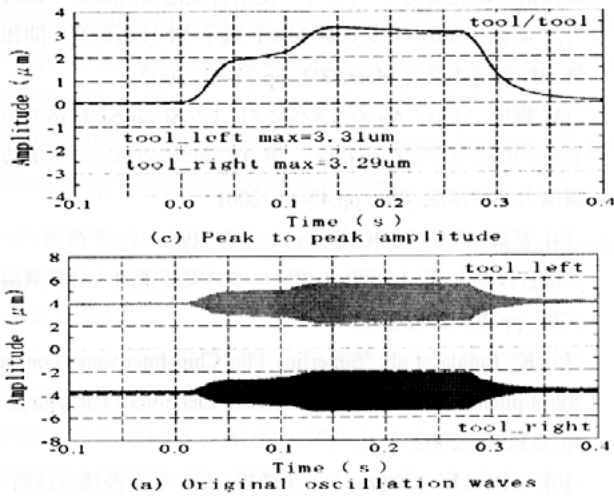


Fig. 11 Ultrasonic oscillation and relative amplitude between tool(left side) and tool(right side).

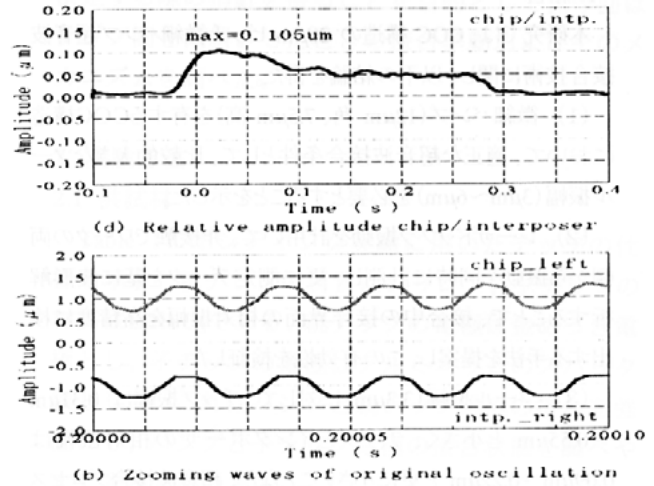
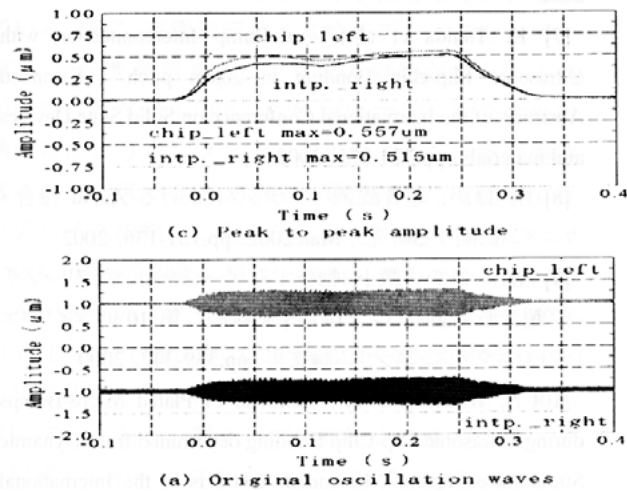


Fig. 13 Ultrasonic oscillation and relative amplitude between chip and interposer.

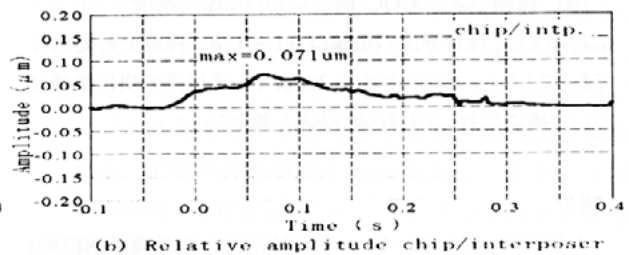
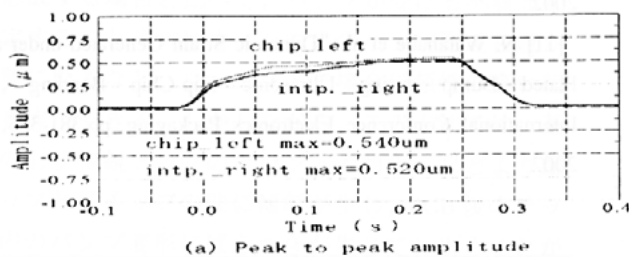


Fig. 14 Relative amplitude between chip and interposer in 2nd bonding.

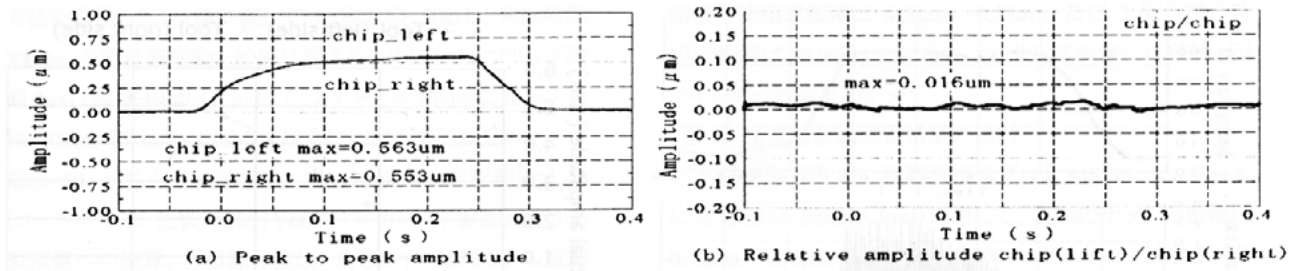


Fig. 15 Relative amplitude between chip (left side) and chip (right side).

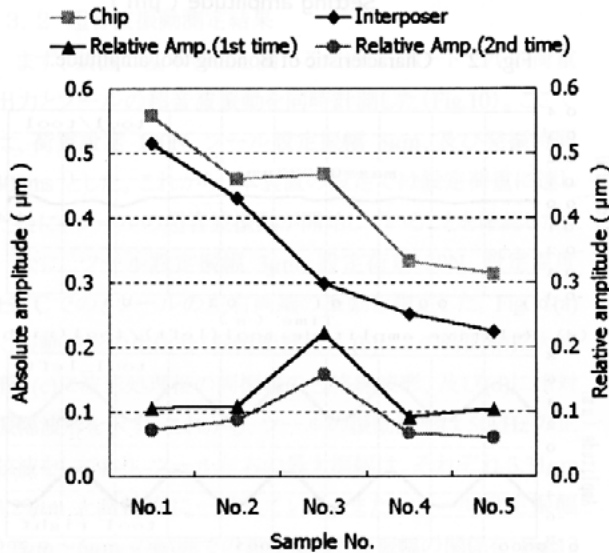


Fig. 16 Ultrasonic amplitude between chip and interposer in multi sample on the same bonding condition.

4. 結言

本研究では、COC 構造の $20\mu\text{m}$ ピッチ微細バンパ超音波接合技術に関し、以下の結論を得た。

(1) 微細バンパ ($12\mu\text{m}$ 角、 $7.5\mu\text{m}$ 高) を有する COC 構造において、適正な超音波接合条件として、比較的大きなツール振幅 ($3\mu\text{m}$ ~ $6\mu\text{m}$) を必要とすることを示した。

(2) レーザドップラ振動を計用いて、非接触でワークの両側から振動を同時に計測し、更に測定データを基に波形解析することで、接合中の接合界面の相対振幅を高精度に検出する手法を提案し、この有効性を検証した。

(3) ツール振幅 ($3.3\mu\text{m}$) に対して、チップ振幅は $0.31\mu\text{m}$ ~ $0.55\mu\text{m}$ と小さく、チップとインタポーザの相対振幅は $0.09\mu\text{m}$ ~ $0.22\mu\text{m}$ と更に小さいことなど、超音波接合プロセスにおける振動伝達メカニズムを明らかにした。

(4) 微細バンパ COC 構造における超音波接合プロセスにおいては、接合界面の振幅は 0.1 ~ $0.2\mu\text{m}$ 程度で必要充分であることから、本プロセスは $20\mu\text{m}$ ピッチ以下の更に微細なバンパ構造に対しても有効であると考えられる。

謝辞

本研究は、新エネルギー・産業技術総合開発機構(NEDO)からの委託により、ASETが実施した。

参考文献

- [1] NEDO, “平成 12 年度 研究成果報告書 超高密度電子 SI 技術の研究開発 エネルギー使用合理化技術開発”, 2001
- [2] 高橋; “2001 年度上期 ASET 電子 SI 技術研究中間報告: 3D 積層実装”, Mate2002, pp.27-32, 2002
- [3] 梶原 ほか; “Au めっきバンパによる Si on Si 構造の超音波フリップチップ接合特性”, 第 15 回エレクトロニクス実装講演大会講演論文集, pp.43-44, 2001
- [4] 富田 ほか; “COC 構造における $20\mu\text{m}$ ピッチ微細バンパ接合技術”, 第 16 回エレクトロニクス実装講演大会講演論文集, pp.205-206, 2002
- [5] K. Tanida et al.; “Superfine Flip Chip Interconnection in $20\mu\text{m}$ -pitch”, International Conference Electronics Packaging, pp.333-338, 2002
- [6] 谷田 ほか; “ $20\mu\text{m}$ ピッチ微細バンパ超音波接合技術”, 第 12 回マイクロエレクトロニクスシンポジウム論文集, pp.27-32, 2002
- [7] K. Tanida et al.; “Au Bump Interconnection with Ultrasonic Flip-chip Bonding in $20\mu\text{m}$ pitch”, Extended Abstracts of the International Conference on Solid State Devices and materials, pp.774-775, 2002
- [8] 南 ほか; “超音波フリップチップにおける AuAu 接合メカニズムに関する研究”, Mate2002, pp.131-136, 2002
- [9] 檜作 ほか; “微小 2 軸ひずみゲージを用いたフリップチップ超音波実装のバンパ接合挙動観測”, 第 10 回マイクロエレクトロニクスシンポジウム論文集, pp.339-342, 2000
- [10] N. Watanabe et al.; “Behavior of Plated Micro-Bumps during Ultrasonic Flip-Chip Bonding determined from Dynamic Strain measurement”, Extended Abstracts of the International Conference on Solid State Devices and materials, pp.308-309, 2002
- [11] N. Watanabe et al.; “Dynamic Strain Generated under a Plated Bump during Ultrasonic Flip-Chip Bonding”, International Conference Electronics Packaging, pp.381-385, 2002

E-mail: akiyama@si3d-aset-unet.ocn.ne.jp

COF

Auめっきテープ基板を用いた超音波 フリップチップ接合特性の検討

Investigation of Ultrasonic Flip-Chip Bonding for Au plated Pads on Tape Substrate

小泉 正博¹⁾ 梶原 良一¹⁾ 西村 朝雄²⁾ 岡部 則夫³⁾

Masahiro Koizumi Ryoichi Kajiwara Asao Nishimura Norio Okabe

- 1) (株) 日立製作所 日立研究所 2) (株) 日立製作所 半導体グループ 3) (株) 日立電線 電線工場
1)Hitachi Research Laboratory, Hitachi, Ltd. 2)Semiconductor & Integrated Circuits, Hitachi, Ltd.
3)Densen Works, Hitachi Cable, Ltd.

Au-Au ultrasonic flip-chip bonding technique has the advantage of lower load and temperature process compared with other flip-chip bonding technique. Therefore, this technique has a potential for bonding a large number of pins and using organic substrates. In this study, Au-Au ultrasonic flip-chip bonding between Au plated bumps on Si and Au plated pads on tape substrate has been investigated. As a result, good bondability has been obtained for the Au plated bumps whose height and size were $20\ \mu\text{m}$ and $40 \times 70\ \mu\text{m}$, respectively.

1.はじめに

電子機器製品の急速な小型化、高性能化及び低コスト化に伴い、フリップチップ実装の必要性が増している。チップのAuバンブと配線基板のAuパッドを直接接合する超音波フリップチップ接合法は、従来の半田や導電性樹脂を使う方法に比べ、接続の微細化やプロセスの低温化の点で有利である。我々は、前に有機基板とAuスタッドバンブを形成した多ピンチップの接合性¹⁾について報告した。本研究では、TCP(Tape Carrier Package)のTAB(Tape Automated Bonding)に代わる技術として、テープ基板とめっきバンブを形成した多ピンチップの接合性を検討した。本報告は、Au膜厚を変えた電気めっき及び無電解めっきテープ基板の接合結果について述べる。

2.実験方法

表1にTEGチップの仕様、図1にチップ及びAuめっきバンブの外観を示す。チップは9mm角サイズで、内部の3mm角の4辺に $40 \times 70\ \mu\text{m}$ サイズのバンブが $60\ \mu\text{m}$ ピッチで形成されている。Auバンブ高さは $20\ \mu\text{m}$ で、バンブ総数は1332個である。

表2にテープ基板の仕様ならびに寸法諸元を示す。

表1 めっきAuバンブ形成TEGチップの寸法諸元

チップ	Auバンブ		
サイズ(mm)	ピッチ(μm)	サイズ(μm)	ピン数(ヶ)
9×9×0.5	60	40×70×20	1332

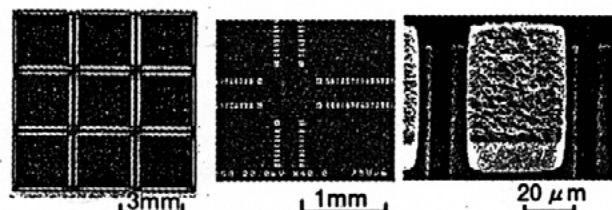


図1 めっきAuバンブ形成TEGチップの外観

表2 テープ基板の仕様と寸法諸元

2層テープ基板	基板寸法	めっき	Au厚(μm)
ポリイミド:40 μm 厚 Cu箔:18 μm 厚	20×20 mm	電気	0.3~1.0
		無電解	0.05~0.5

サイズは20mm角で、ポリイミドテープに直接にCu箔が貼り合わされた2層構造の基板である。Cu箔はベタパターンで表面にNi/Auめっきが形成されている。Au膜厚は電気めっきの場合で $0.3 \sim 1.0\ \mu\text{m}$ 、無電解めっきの場合で $0.05 \sim 0.5\ \mu\text{m}$ である。

図2に、接合方法を示す。接合前に試料表面を4Pa

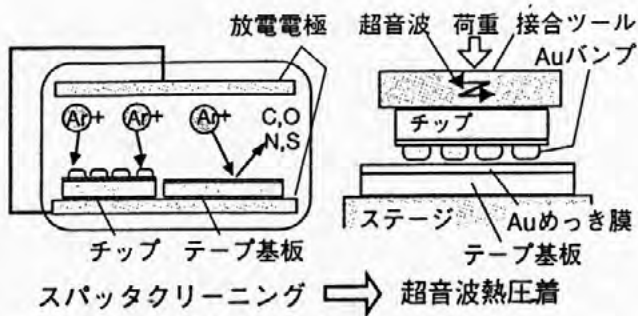


図2 超音波フリップチップ接合方法

のArガス中でスパッタリング処理した。Auのエッチング厚さは、チップ、基板側共に約15 nmとした。接合は、ステージにテープ基板を載せて真空吸着し、その上に反転したチップを搭載してチップ裏面から荷重と熱と超音波振動を加えて行った。接合部の強度評価は、基板に対して90°方向のチップ引張試験を行い、破面形態をSEM (Scanning Electron Microscope) で観察した。

3. 実験結果と考察

3.1 表面清浄化の影響

図3に、接合性に及ぼす表面清浄化処理の影響を示す。基板はAu厚さ0.5 μmの電気めっき基板である。接合条件は、温度：室温/150℃ (基板/チップ)、振幅：3 μm、発振時間：0.3 sである。基板とチップの両方も清浄化処理を行わなかった場合の引張強度は、荷重300 Nで約4 Nと低い値である。しかし、基板あるいはチップの片方を清浄化した場合は同一荷重で約50 Nの引張強度が得られ、基板とチップの両方を清浄化した場合は約130 Nの接合強度が得られている。清浄化処理によって接合性が向上することが分かる。

図4に、清浄化処理有/無の基板側Au表面のAES分析結果を示す。清浄化処理によって表面のAu濃度は47at%から67at%に増加し、逆にC濃度は43at%から28at%に減少している。従って、接合性が向上したのは接合を阻害する有機物が除去され、表面のAu露出度が増加したためと考えられる。

図5に、清浄化処理有/無の基板側の引張破断面のSEM像を示す。接合荷重は300 Nである。清浄化処理有りでは、Auの接合部が延性破断するとき形成されるディンプル模様 (接合痕) が、バンプの接触領域全体に観察される。また、バンプの接合痕が全てのバンプ位置で観察されることから、バンプ接合率は

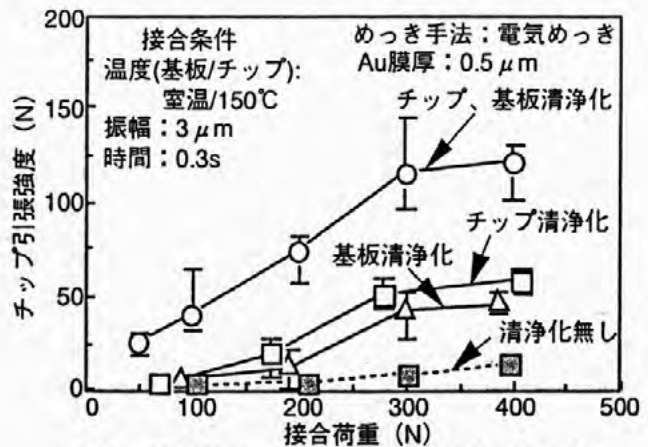


図3 接合性に及ぼす表面清浄化処理の影響

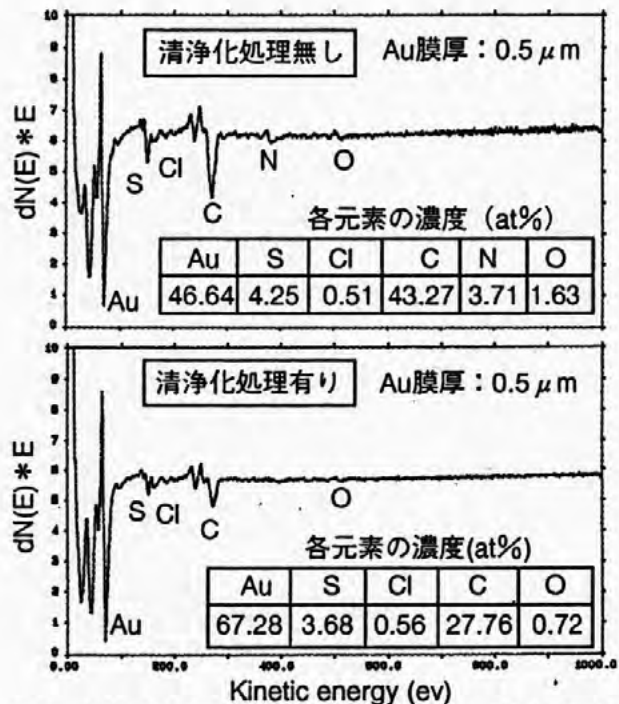


図4 清浄化処理有/無の基板側Auめっき膜表面のオージェ分析結果

100%であったと考えられる。一方、清浄化処理無しの場合は、ディンプル模様がバンプ接触領域の周辺にしか観察されず、接合面積が著しく少ない。

3.2 Auめっき膜の形成手法及び膜厚の影響

基板の配線ピッチを微細化する必要性から、今後、無電解めっき化が必須となる。また、コストの観点から、Auめっき厚を薄くすることが望まれる。

図6に電気と無電解Auめっきテープ基板の接合性を比較して示す。Auめっき厚はいずれも0.5 μmである。清浄化処理は両面、接合温度 (基板/チップ)

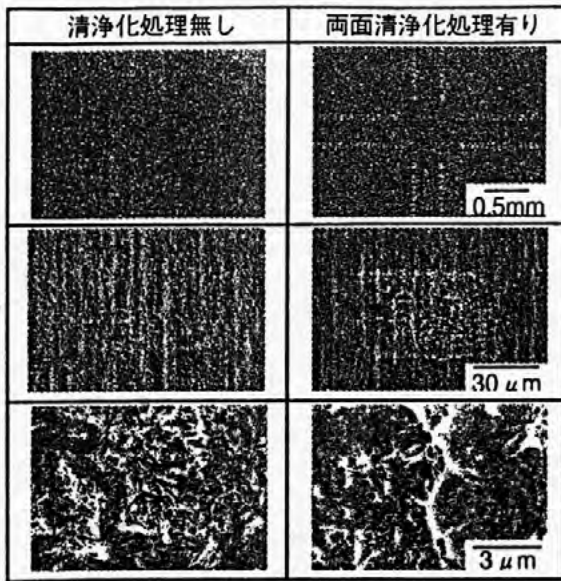


図5 清浄化処理有無のテープ基板における引張破断面のSEM像

は150/150℃である。無電解めっきの場合の接合強度は、電解めっきに比べいずれの接合荷重においてもわずかに低いが、大きな差はない。図7に、両者の基板側引張破断面のSEM像を示す。いずれのめっき基板においても、基板全域あるいはパンプ内における接合痕の形成状況に差異は少ない。従って、超音波フリップチップ接合では、電気めっきと無電解めっきの接合性の差は小さいと言える。

図8に、Au膜厚を変えた電気及び無電解めっきテープ基板の膜厚と接合強度の関係を示す。接合荷重:300N、温度:150/150℃である。無電解めっきの膜厚を0.05~0.5 μmに変えた場合の引張強度は膜厚依存性が小さく、0.05 μmでわずかに低下している。電気めっきの場合も同様に、膜厚の影響は小さい。図9に、無電解めっきテープ基板の引張破断面のSEM像を示す。Au膜厚が0.05 μmの場合でも、0.5 μmと同様に接合痕は基板全域、ディンプルはパンプ内全域に観察され、両者の差は小さい。この結果から、Au膜厚が0.05 μmの無電解めっき基板でも、Au/Auのフリップチップ接合が可能と言える。

3.3 接合温度の影響

接合温度を室温にできれば、基板とSiチップの熱膨張差によるパンプとパターンの位置ずれの問題を回避でき、微細ピッチの接合が可能となる。

図10に、接合温度を変えた場合の接合結果を示す。基板はAu膜厚0.5 μmの電気めっき基板である。基

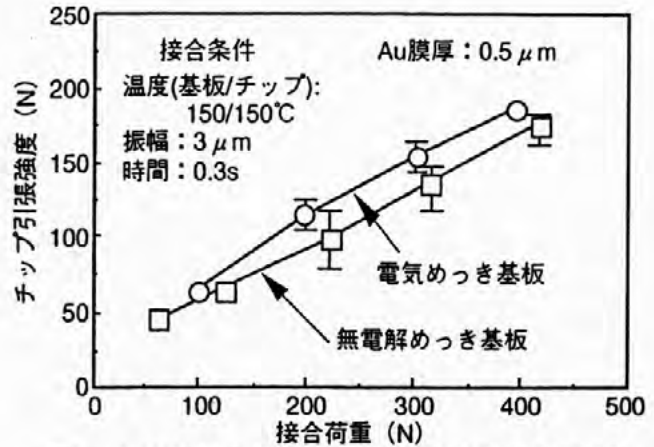


図6 接合性に及ぼすAuめっき膜形成手法の影響

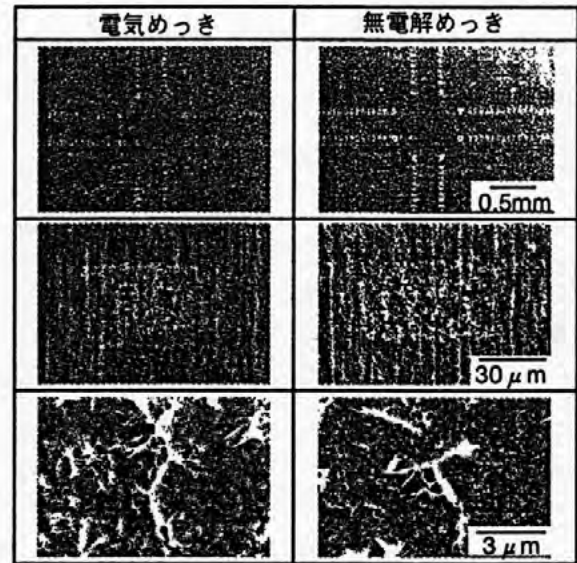


図7 電気及び無電解Auめっきテープ基板の引張破断面のSEM像

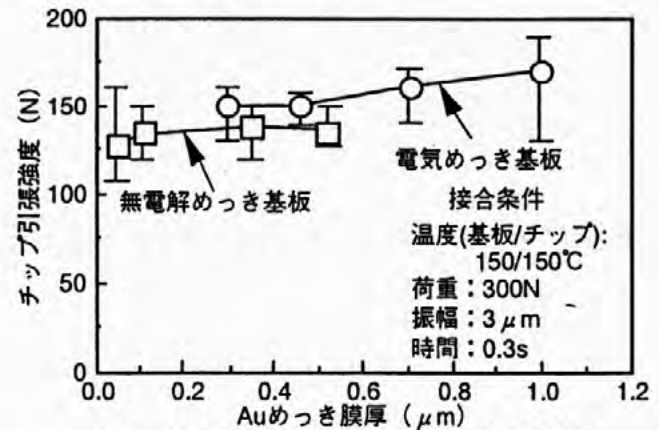


図8 接合性に及ぼすAuめっき膜厚の影響

板及びチップの両方が室温の場合の接合強度は、両方が150℃の場合に比べ低いが、接合荷重を高くすることで引張強度を高くできる。

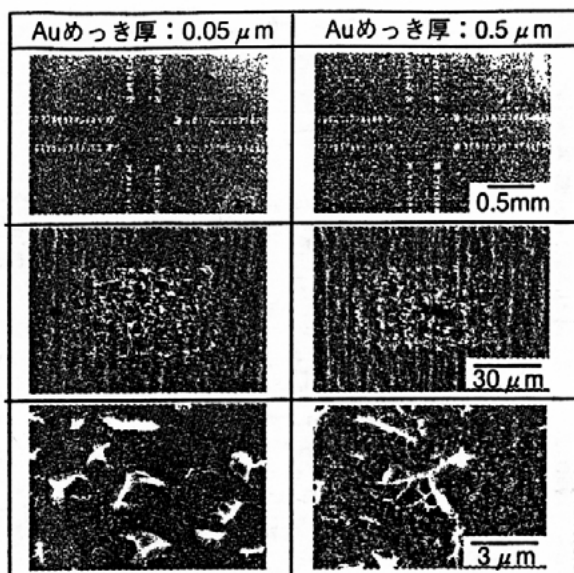


図9 無電解Auめっきテープ基板の引張破断面のSEM像

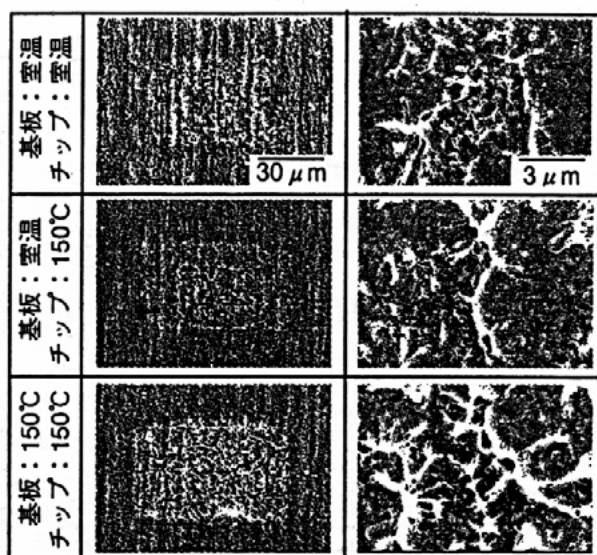


図11 接合温度を変えて接合した場合の電気Auめっきテープ基板の引張破断面のSEM像

図11に、各温度条件で接合した場合の基板側の破断面のSEM像を示す。接合荷重は300Nである。基板及びチップの両方が室温の場合のディンプル模様は、両方が150°Cの場合に比べて密度が低いものほぼ全面に観察され、金属接合が得られていることがわかる。室温で接合した接合強度は、加熱した場合に比べやや低くなるため、採用する上では信頼性試験等を行って判断する必要がある。

3.4 接合時間の影響

図12に、超音波発振時間が接合性に与える影響を示す。基板はAu膜厚0.5 μmの電気めっき基板、接合温度は室温/150°Cである。引張強度は接合時間とともに増加するが、0.3 sでほぼ飽和する傾向を示す。接合時間は、チップダメージやタクトの点で短いが有利であるため、0.3sが最適時間と判断できる。

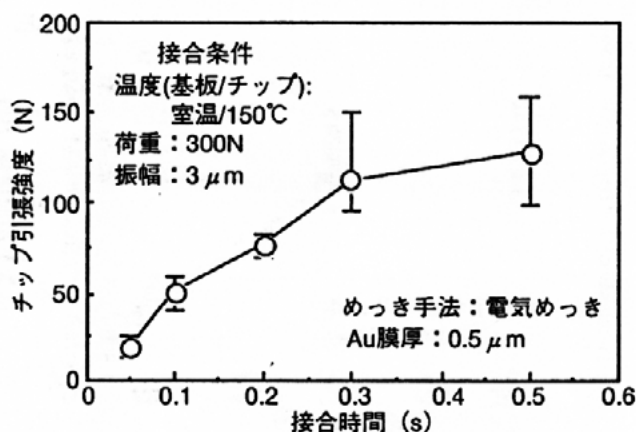


図12 接合性に及ぼす接合時間の影響

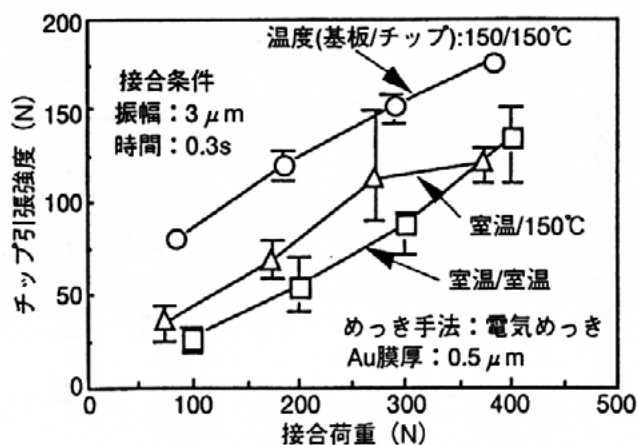


図10 接合性に及ぼす接合温度の影響

4. 結 言

- 1) Auめっきバンプ (40×70×20 μm厚) を形成した多ピンチップとAuめっきテープ基板の超音波フリップチップ接合が可能である。
- 2) 接合表面の清浄化処理は、チップ及びテープ基板の両面に行うのが最も効果的であり、0.3N/バンプ以下の低荷重で全ピンの接合ができる。
- 3) 接合温度が室温の場合でも接合可能である。
- 4) 無電解めっきの接合性は電気めっきの場合とほぼ同等である。また、膜厚が0.05 μmの無電解薄めっき膜においても接合が可能である。

参考文献

- 1) 梶原良一、小泉正博、他4名：7th mate 2001.pp.161-166